

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-179171

(P2003-179171A)

(43) 公開日 平成15年6月27日 (2003.6.27)

(51) Int.Cl.⁷

識別記号

F I

テーマコード^{*}(参考)

H 0 1 L 21/8247

H 0 1 L 27/10

4 3 4

5 F 0 8 3

27/115

29/78

3 7 1

5 F 1 0 1

29/788

29/792

審査請求 有 請求項の数11 O L (全 14 頁)

(21) 出願番号 特願2002-300273(P2002-300273)

(62) 分割の表示 特願平4-50002の分割

(22) 出願日 平成4年3月6日(1992.3.6)

(71) 出願人 592050917

旺宏電子股フン有限公司

台湾新竹市科学工業園区園区二路56号3楼

(72) 発明者 游 敦行

アメリカ合衆国 カリフォルニア 95035、

サンタ クララ、ミルピタス、ロス ポジ

トス ドライブ 793

(72) 発明者 熊 福嘉

台湾 新竹市 科学工業園区 湖浜一路

21号 3楼

(74) 代理人 100060690

弁理士 瀧野 秀雄 (外1名)

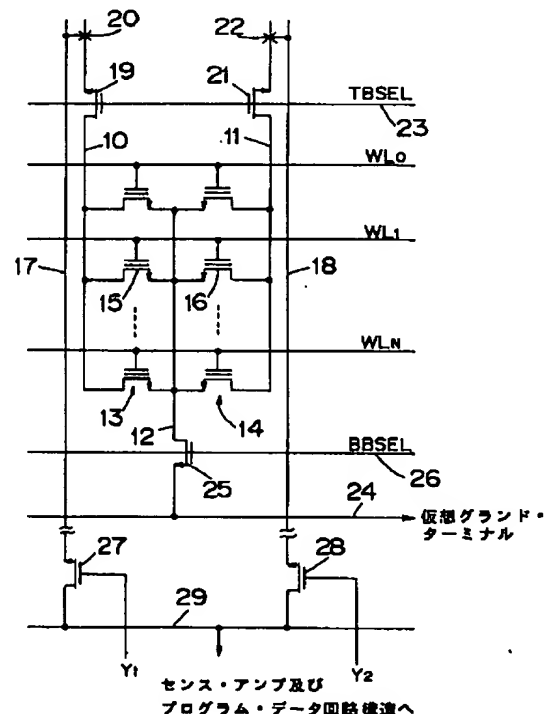
最終頁に続く

(54) 【発明の名称】 フローティング・ゲート・メモリ・アレーの製造方法

(57) 【要約】

【課題】 コンタクトレス・フラッシュEPR0Mセルの制作方法を提供するものである。

【解決手段】 延在した第1と第2のドレイン拡散領域、及びソース拡散領域を、本質上平行な直線に沿って半導体基板に形成する。フィールド酸化物領域を、第1及び第2ドレイン拡散領域の反対側に生成する。フローティング・ゲート及びコントロール・ゲート・ワード線(WL₀乃至WL_N)を、ドレイン-ソース-ドレイン構造に直交して形成し、そして共有されたソース領域を有する蓄積セルを二つの列(13、15及び14、16)を設定する。共用されるソース領域を、底部ブロック・セレクト・トランジスタ(19、21)によってグローバル・ビット線(17、18)に結合するものである。



【特許請求の範囲】

【請求項 1】 第 1 方向に延在された多数のドレイン拡散領域を定めることと、

ドレイン拡散領域をドーピングすることと、

少なくとも、ドレイン拡散領域に隣接した領域における半導体基板の主表面に第 1 の絶縁性材料を設けることと、

少なくとも、ドレイン拡散領域に隣接した領域における第 1 の絶縁性物質を覆うフローティング・ゲート導電性物質を設けることと、

フローティング・ゲート導電性物質を覆うコントロール・ゲート絶縁性材料を設けることと、

半導体基板のフローティング・ゲート導電性物質による、フローティング・ゲート導電性物質でアラインして、延在したソース拡散領域を露出することと、

ソース拡散領域をドーピングすることと、

ソース拡散領域と露出された何かのフローティング・ゲート導電性物質を覆う絶縁層を設けること、そしてコントロール・ゲート絶縁性物質とフローティング・ゲート導電性物質を覆う、多数の導電性材料の行を形成することとからなることを特徴とするコンタクトレス・フローティング・ゲート・メモリ・アレー装置の製造方法。

【請求項 2】 多数の伸長したソース拡散領域を露出させるステップが、ソース拡散領域の一つの側部を定めるため第 1 のサイド及びフローティング・ゲート領域の巾を定めるため第 1 のサイドから間をとって設けられた第 2 のサイドを有する伸長したフローティング・ゲート領域を定め、かつフローティング・ゲート領域が、少なくとも隣接したドレイン拡散領域の一部の上に存在するようにフローティング・ゲート導電性材料をエッチすることを含んでいることを特徴とする請求項 1 記載のコンタクトレス・フローティング・ゲート・メモリ・アレー装置の製造方法。

【請求項 3】 フローティング・ゲート領域の第 2 のサイドが、隣接したドレイン拡散領域の上に存在するように定められる、請求項 2 記載の方法。

【請求項 4】 第 1 の絶縁性物質が、二酸化珪素からなることを特徴とする請求項 1 記載のコンタクトレス・フローティング・ゲート・メモリ・アレー装置の製造方法。

【請求項 5】 コントロール・ゲート絶縁性材料が、ONO からなることを特徴とする請求項 4 記載のコンタクトレス・フローティング・ゲート・メモリ・アレー装置の製造方法。

【請求項 6】 第 1 の絶縁性物質が、約 120 オングストローム以下のフローティング・ゲート材料に達しない厚さを有する二酸化珪素からなることを特徴とする請求項 1 記載のコンタクトレス・フローティング・ゲート・メモリ・アレー装置の製造方法。

【請求項 7】 第 1 の絶縁性物質が、フローティング・

ゲート導電性物質に達しない厚さを有する二酸化珪素から、コントロール・ゲート絶縁性物質が、実質的にトンネル絶縁性物質の厚さより大きい厚さをもった ONO からなることを特徴とする請求項 1 記載のコンタクトレス・フローティング・ゲート・メモリ・アレー装置の製造方法。

【請求項 8】 ソース拡散領域をドーピングするステップが、傾斜状接合を有するようドーパントの分布を設定すること特徴とする請求項 1 記載のコンタクトレス・フローティング・ゲート・メモリ・アレー装置の製造方法。

【請求項 9】 半導体基板主表面に、第 1 方向に延在された多数の絶縁領域を形成することと、

第 1 方向に延在され、離間して設けられた多数の絶縁領域を形成すること、

少なくとも、多数の分離領域における個々の分離された領域内部に 1 個のドレイン拡散領域をもつ、第 1 の方向に延在された多数のドレイン拡散領域を画定することと、

ドレイン拡散領域をドーピングすることと、

少なくとも、ドレイン拡散領域に隣接した領域に該半導体基板上に第 1 の絶縁性物質を設けることと、

少なくとも、ドレイン拡散領域に隣接した領域に第 1 の絶縁性材料を覆うフローティング・ゲート導電性物質を設けることと、

フローティング・ゲート導電性物質を覆うコントロール・ゲート絶縁性物質を設けることと、

該半導体基板に延在したソース拡散領域を、フローティング・ゲート導電性物質でアラインして、露出することと、

ソース拡散領域をドーピングすることと、

ソース拡散領域と何かの露出されたフローティング・ゲート導電性物質を覆う絶縁層を設けること、そしてコントロール・ゲート絶縁性材料及びフローティング・ゲート導電性物質を覆う多数の導電性物質の行を形成することとからなることを特徴とするフローティング・ゲート・メモリ・アレーの製造方法。

【請求項 10】 少なくとも、延在したチャンネル領域における該半導体基板に絶縁性物質を設けることと、

少なくとも、伸長したチャンネル領域における第 1 の絶縁性物質を覆うフローティング・ゲート導電性物質を設けることと、

フローティング・ゲート導電性物質を覆うコントロール・ゲート絶縁性物質を設けることと、

該半導体基板に延在したソース拡散領域及びドレイン拡散領域を、フローティング・ゲート導電性材料でアラインして露呈することと、

ドレイン拡散領域を第 1 の分布をもったドーパントでドーピングすることと、

ソース拡散領域を第 2 の分布をもったドーパントでドーピングすることと、

3

ソース及びドレイン拡散領域と、何かの露出したフローティング・ゲート導電性物質を覆う絶縁層を設けること、そしてコントロール絶縁性物質及びフローティング・ゲート導電性物質を覆う、多数の導電性物質の行を形成することからなることを特徴とするフローティング・ゲート・メモリ・アレーの製造方法。

【請求項 11】 第 1 方向に延在された半導体基板に多数の分離領域を離間して設けられ、該半導体基板上に第 1 方向に延在された多数の絶縁領域を形成することと、少なくとも、該半導体基板に、分離領域内に延在するチャンネル領域に第 1 の絶縁性物質を被着すること、少なくとも、延在したチャンネル領域に、第 2 の絶縁性物質を覆うフローティング・ゲート導電性材料を被着することと、

少なくとも、該チャンネル領域に該第 1 の絶縁性物質を覆うフローティン・ゲート導電性物質を被着することと、

該フローティング・ゲート導電性物質を覆うコントロール・ゲート導電性物質を被着すること、

該半導体基板に延在したソース及びドレイン拡散領域を、フローティング・ゲート導電性材料でアラインして、露出することと、

ソース及びドレイン拡散領域をドーピングすることと、ソース及びドレイン拡散領域と何かの露出されたフローティング・ゲート導電性材料を覆う絶縁層を生成すること、そしてコントロール絶縁性物質及びフローティング・ゲート導電性物質を覆う多数の導電性物質の行を形成することとを特徴とするフローティング・ゲート・メモリ・アレーの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、不揮発性メモリに関するものであって、殊に、フローティング・ゲート・トランジスタを用いたフラッシュ EPROM セル、アレー装置、及びその製造方法に係るものである。

【0002】

【従来の技術】 フラッシュ EPROM は、不揮発性の電荷蓄積型半導体集積回路の内成長しつつある分野である。これらのフラッシュ EPROM は、チップ内のメモリ・セルを電気的な消去、プログラミング及び読み取りをする能力を備えている。フラッシュ EPROM のメモリ・セルは、データがフローティング・ゲートをチャージ又はディスチャージすることによってセルに蓄積される所謂フローティング・ゲート・トランジスタを用いて形成されている。フローティング・ゲートは、導電性物質、一般的にはポリ Si で作られており、トランジスタのチャンネルからは、酸化膜又は他の絶縁性の薄膜によって絶縁され、且つ、第 2 の絶縁膜によってトランジスタのコントロール・ゲート又はワード線から絶縁されている。

4

【0003】 フローティング・ゲートをチャージするという動作は、フラッシュ EPROM の "プログラム" ステップと称される。このステップは、ゲート及びソース間に 12 ボルト程の大きさの正の電圧を印加し、又、ドレイン及びソース間に正の電圧、例えば、7 ボルトの電圧を印加することによってなされ、所謂、ホット・エレクトロンの注入によってなされる。フローティング・ゲートをディスチャージする動作は、フラッシュ EPROM の "消去" 機能と呼ばれる。この消去機能は、フローティング・ゲートとトランジスタのソースとの間 (ソース消去)、又はフローティング・ゲートと半導体基板との間 (チャンネル消去) での F-N トンネルのメカニズムによって典型的になし遂げられる。例えば、ソース消去作用は、それぞれのメモリ・セルのドレインを浮かしながら、ソースからゲートへ大きな正の電圧を印加することによって達成される。この正電圧は、12 ボルトにもなる。

【0004】 従来のフラッシュ EPROM の構造及び機能に関する詳細については、関連技術の背景を教示している以下の U. S. パテントによって知ることができる。Mukherjee, et al., U.S. Patent No. 4,698,787 issued October 6, 1987; Holler, et al., U.S. Patent NO. 4,780,423 issued October 25, 1988. フラッシュ EPROM の IC に関するより進んだ技術は、次の文献に述べられている。Woo, et al., "A Novel Memory Cell Using Flash Array Contactless EPROM (FACE) Technology", IEDM 1990, Published by the IEEE, Pages 91-94 及び Woo, et al., "A Poly-Buffered "FACE" Technology for High Density Memories" 1991 SYMPOSIUM ON VLSI TECHNOLOGY, page 73-74 コンタクトレス・アレー EPROM 装置の従来技術の一例が以下に記述されている。Kazerounian et al. "Alternate Metal Virtual Ground EPROM Array Implemented In A 0.8 (M Process for Very High Density Applications" IEDM, Published by IEEE 1991, pages 11.5.1-11.5.4.

【0005】

【特許文献 1】 Mukherjee, et al., U.S. Patent No. 4,698,787 issued October 6, 1987

【特許文献 2】 Holler, et al., U.S. Patent NO. 4,780,423 issued October 25, 1988.

【非特許文献 1】 Woo, et al., "A Novel Memory Cell Using Flash Array Contactless EPROM (FACE) Technology", IEDM 1990, Published by the IEEE, Pages 91-94

【非特許文献 2】 Woo, et al., "A Poly-Buffered "FACE" Technology for High Density Memories" 1991 SYMPOSIUM ON VLSI TECHNOLOGY, page 73-74

【非特許文献 3】 Kazerounian et al. "Alternate Metal Virtual Ground EPROM Array Implemented In A 0.8 (M Process for Very High Density Applications" IEDM

M. Published by IEEE 1991, pages 11.5.1-11.5.4

【0006】

【発明が解決しようとする課題】Woo et al. 及び Kazeounian et al. の出版物によって明らかなように、コンタクトレス・アレー不揮発性メモリの設計についての関心が高まっている。所謂、コンタクトレス・アレーは、埋め込まれた拡散層によって互いに結合されてなる蓄積セルによるアレーによって形成されており、埋め込まれた拡散層は、コンタクトによってメタル・ビット線へ間欠的に結合されているだけである。Mukherjee et al. のシステムのような初期のフラッシュ EPROM の設計では、各メモリ・セルに対して“ハーフ”・メタル・コンタクトが必要とされる。何故ならば、メタル・コンタクトは、半導体集積回路では、かなりの面積を占有しているので、それらは高密度なメモリを設計する上では大きな障害となる。更に、デバイスをより一層小さくして、面積を縮小しようとする、アレー内の蓄積セルにアクセスする為に使用される隣接したドレインとソース・ビット線のコンタクトを覆うメタルによって、制限されることになる。

【0007】本発明は、上述に鑑みてなされたもので、フローティング・ゲート・トランジスタからなる不揮発性メモリ・セルの改良に関するものであり、殊に、高密度に集積が可能なフラッシュ EPROM セルと、そのアレー装置を提供するとともに、その製作方法を提供することを目的とするものである。又、改良されたフラッシュ EPROM セルを用いたメモリ回路を提供することを目的とするものである。

【0008】

【課題を解決するための手段】本発明は、不揮発性メモリ・セル（フラッシュ EPROM セル）は、一つのソース拡散層を2個のフローティング・ゲート・トランジスタが共用する独特のドレイン・ソース・ドレイン構成に基くものであって、延在する第1と第2のドレイン拡散領域とソース拡散領域は、半導体基板に沿って形成される。フィールド酸化物領域は、第1と第2のドレイン拡散領域の外側に形成される。フローティング・ゲートとコントロール・ゲート・ワード線は、共用されたソース領域をもつ2列からなる蓄積セルから形成されたドレイン・ソース・ドレイン構成に対して直交するように形成される。前記共用されたソース領域は、下部のブロック・セレクト・トランジスタによって仮想グラウンド・ターミナルに結合される。各ドレイン拡散領域は、上部のブロック・セレクト・トランジスタによって広域ビット線に結合される。本発明によるセル構造は、ドレイン、ソースとドレイン拡散領域、そして埋め込み拡散ラインのような水平のコンダクタを介して、複数の列トランジスタを仮想グラウンド・ターミナルに結合している仮想グラウンド・サブライに対し、実質的に平行に延在する二つの広域ビット線を使用する。このようにして、2個のトラ

ンジスタからなるセルに対して、二個のメタル・コンタクト・ピッチを必要とするだけである。

【0009】本発明の別の観点によれば、これらの複数のドレイン・ソース・ドレイン構造が一個の大きな IC に配列され、高密度の不揮発性の電荷蓄積型半導体集積回路が得られる。この不揮発性の電荷蓄積型半導体集積回路は、上部と下部のブロック・セレクト・トランジスタを用いることにより、ブロックの境界に沿って分割され得るとともに、個々の消去作用を可能とする。また、ブロック・セレクトという特徴は、複数のメモリ・セルからなる単一のブロックを一度に広域ビット線に結合する。このことは、アレーの所定の列に沿ったトランジスタへのリーク電流に対する改善をもたらす。

【0010】かくして、1個のメモリ回路が、各々が N 列、M 行からなる蓄積セルを有する K 個のサブアレーとして提供される。蓄積セル列内の各蓄積セルは、それぞれが第1ターミナル、第2ターミナル及び制御ターミナルを有している。それぞれの行に対応する蓄積セルの制御ターミナルに結合された多数のワード線がある。蓄積セルの各々の列に対応したビット線からなる N 個の広域ビット線、及び各々が、それぞれのサブアレー内部におけるそれぞれの列において、M 個の蓄積セルの第1ターミナルに結合されている多数の局所ビット線がある。上部のブロック・セレクト・トランジスタは、蓄積セルのサブアレー内の局所ビット線を、サブアレー・セレクト信号に応じて対応する広域ビット線へ選択的に接続する。その上に、多数の局所仮想グラウンド線、及びサブアレー内の局所仮想グラウンド線を局所仮想グラウンド・ターミナルに接続する手段が含まれている。前記局所仮想グラウンド線の各々は、それぞれのサブアレーで、列における蓄積セルの第2ターミナルに結合されている。広域ビット線へ結合された列セレクト・トランジスタは、蓄積セルの N 個の列へ選択的にアクセスすることができるようになっている。

【0011】上述のようなメモリセル及びそのアレー装置に加え、フローティング・ゲート・デバイスのアレーの製造方法が提供されている。第1番目の方法は、以下のように構成される。第1方向に延在した多数のドレイン拡散領域を画定すること；ドレイン拡散領域をドーピングすること；トンネル絶縁性膜を、少なくともドレイン拡散領域に隣接した領域内の半導体基板主表面に形成すること；フローティング・ゲート導電性物質を、少なくともドレイン拡散領域に隣接した領域内のトンネル絶縁性膜に設けること；コントロール・ゲート絶縁性物質を、フローティング・ゲート導電性膜に形成すること；延在するソース拡散領域を、半導体基板の主表面に形成されたフローティング・ゲート導電性物質によって、フローティング・ゲート導電性物質とアラインさせて露出すること；ソース拡散領域をドーピングすること；絶縁層を、ソース拡散領域と露出したフローティング・ゲート導電性

物質にも設けること；そして多数の導電性物質からなる行を、コントロール絶縁性物質及びフローティング・ゲート導電性物質を覆うように形成すること。第2の方法は、以下のように構成される：トンネル絶縁性物質を、少なくとも延在されたチャンネル領域を半導体基板主表面を覆うように形成すること；フローティング・ゲート導電性物質を、少なくとも延在したチャンネル領域内のトンネル絶縁性物質を覆うように設けること；コントロール・ゲート絶縁性物質を、フローティング・ゲート導電性物質を覆うように設けること；半導体基板に延在したソース拡散領域及びドレイン拡散領域を、フローティング・ゲート導電性物質によってアラインさせて露出すること；ドレイン拡散領域を、ドーパントを第1の分布でドーピングすること；ソース拡散領域を、ドーパントを第2の分布でドーピングすること；絶縁層を、ソース及びドレイン拡散領域を覆い、露出したフローティング・ゲート導電性物質の上部にも成長させること；そして多数の導電性物質からなる行を、コントロール絶縁性物質及びフローティング・ゲート導電性物質を覆うように形成すること。

【0012】

【作用】本発明のフローティング・ゲート・トランジスタおよび不揮発性メモリには、幾つかの明瞭な特徴が存在する。第1は、隣接するドレイン及びソース・ビット線のメタル・ピッチが、ソース（仮想グラウンド）ビット線を共有する構造を有することによって緩和される。前記ビット線は、トランジスタ16等を平行に通じ、メタル・ドレイン・コンタクト線又は広域ビット線とともに1個のメタル・ソース線に結合されている。このことによって、非常に緻密なコア・アレイを得ることができ、第2には、フラッシュEPROMアレイは、サブアレイへ分割される該フラッシュEPROMアレイが完全にデコードされたブロック・セレクト線によって選択されている間、セクター消去が実行できることになるとともに、メモリ・セルの障害は、その対応するサブアレイが選択されている間のみに生ずる。これは、製品の動作と信頼性を非常に改善するものである。第3としては、第1のセル・タイプでは、セルのソース側は、数多くの酸化処理過程を受けないので、ソース接合の端部は、非常に優れた完全性を保持している。更に特徴的なものは、ソース接合端がドーパントの欠乏と従来技術によって設計されたセルにありがちな酸化膜端部の厚さを厚くする作用を受けないのである。従来技術では、ソース注入後にもっと広範の酸化処理過程がある。このような理由で、新規なセルには良好なソース消去作用が期待できる。更に、かなり高いゲード・カップリング比が独特のセルのレイアウトによって実現され得る。前記レイアウトでは、フローティング・ゲート・ポリSi層がドレイン及びフィールド酸化物領域を覆って延在し、コントロール・ゲートのフローティング・ゲート・ポリSiに対

するカップリング面積を著しく増大させることができる。

【0013】又、第1の製造方法によれば、セル構造におけるソース拡散領域は、隣接したトランジスタ列におけるフローティング・ゲート・トランジスタにセルフ・アラインされる。同様に、ドレイン拡散領域は、各ブロックの反対側の絶縁領域にセルフ・アラインされる。更に、第2の製造方法によれば、ドレイン及びソース拡散領域の双方がフローティング・ゲートにセルフ・アラインされる。従って、ドレイン-ソース-ドレイン構成を、アレイ内の総てのメモリ・セル・トランジスタに対して実質的に一様なチャンネル長を作ることができる。又、ソースは、傾斜状接合を与えるドーパントの分布でイオン注入によってなされることにより、ソース消去作用の間のトンネリングを容易とする。

【0014】

【発明の実施の形態】以下、本発明について、図1乃至図8に基づいて説明する。図1、図2は、本発明に係るフラッシュEPROM装置の回路図を示している。図3は、本発明によるフラッシュEPROM装置のメモリ回路のブロック図を示している。図4、図5及び図6、図7は、本発明に係るフラッシュEPROMセルの製造方法を示す断面図である。図8は、その平面図である。図1は、本発明に係るフラッシュEPROMのドレイン-ソース-ドレイン回路構成（ソースを共通とする一対のトランジスタからなる構成）を説明する。この回路構成は、第1の局所ビット線10及び第2の局所ビット線11を有している。第1及び第2の局所ビット線10及び11は、以下に説明するような埋め込まれた拡散層の導電体によって得られる。また、局所仮想グラウンド線12も埋め込まれた拡散層により得られる。ゲート、ドレイン及びソースを有する多くのフローティング・ゲート・トランジスタは、局所ビット線10、11及び局所仮想グラウンド線12に結合されている。大多数のトランジスタのソースは、局所仮想グラウンド線12に結合されている。13で示される第1列のトランジスタのドレインは、第1の局所ビット線10に結合され、14で示される第2列のトランジスタのドレインは、第2の局所ビット線11に結合される。フローティング・ゲート・トランジスタのゲートは、ワード線WL₀乃至WL_Nに結合される。尚、ここで各ワード線（例えば、WL₁）は、第1列のトランジスタ（例えばトランジスタ5）及び第2列のトランジスタ（例えばトランジスタ16）のゲートに結合される。かくして、トランジスタ15及び16は、ソース拡散層を共用する2個のトランジスタからなるセルと考えることができる。

【0015】フローティング・ゲートをチャージする動作は、フラッシュEPROMセルのプログラム・ステップと呼ばれる。これは、ゲート及びソース間に、12ボルト程の大きな正の電圧を、ドレイン及びソース間に6

ボルトの正の電圧を印加することによるホット・エレクトロンの注入によってなし得られる。フローティング・ゲートをディスチャージする動作は、フラッシュEPRROMセルの消去ステップと呼ばれる。これは、フローティング・ゲート及びソース間のF-Nトンネル機構（ソース消去）又はフローティング・ゲート及び半導体基板間のF-Nトンネル機構（チャンネル消去）によってなされる。ソース消去は、ゲートを接地するか、又は-8ボルト程度に負にバイアスし、ソースに12ボルト又は8ボルト程度に正のバイアスを加えることによって行われる。チャンネル消去は、ゲートに負のバイアスを加えること、及び（又は）半導体基板に正のバイアスを加えることによって行われる。

【0016】図1に示されているように、第1の広域ビット線17と第2の広域ビット線18は、各ドレインソースードレイン回路構成のセルと関係付けられている。第1の広域ビット線17は、メタルー拡散コンタクト20を介して上部のブロック・セレクト・トランジスタ19のソースに結合されている。同様に、第2の広域ビット線18は、メタルー拡散コンタクト22を介して上部のブロック・セレクト・トランジスタ21のソースに結合されている。上部のブロック・セレクト・トランジスタ19、21のドレインは、第1及び第2の局所ビット線10及び11に、それぞれ結合されている。上部ブロック・セレクト・トランジスタ19、21のゲートは、ライン23に印加されるブロック・セレクト信号TBSELによって制御される。

【0017】局所仮想グラウンド線12は、下部ブロック・セレクト・トランジスタ25を介して、コンダクタ24を通して仮想グラウンド・ターミナルに結合される。下部ブロック・セレクト・トランジスタ25のドレインは、局所仮想グラウンド線12に結合される。下部のブロック・セレクト・トランジスタ25のソースは、コンダクタ24に結合される。下部のブロック・セレクト・トランジスタ25のゲートは、ライン26に印加される下部のブロック・セレクト信号BBSELによって制御される。本発明が提起したシステムでは、コンダクタ24は、埋め込まれた拡散層による導電体であって、それはアレーを経てメタルー拡散コンタクトまで水平に延びている。このメタルー拡散コンタクトによって、垂直方向に延びるメタル仮想グラウンド・バスと接触される。

【0018】広域ビット線17、18は、アレーを経て垂直に、それぞれの列セレクト・トランジスタ27、28へ延びている。トランジスタ27、28によってセレクト広域ビット線がセンス・アンプ及びプログラム・データ回路（図示されていない）に結合されている。かくして、列セレクト・トランジスタ27のソースは、広域ビット線17に結合され、列セレクト・トランジスタ27のゲートは、列デコード信号Y1が供給されるとともに、列セレクト・トランジスタ27のドレインは、コン

ダクタ29に結合されている。

【0019】図2に示した多数のサブアレーは、図1に示したフラッシュEPRROMセルのブロックによって構成されている。図2は、全体のICの内の2個のサブアレーを図示している。サブアレーは、一点鎖線50に沿って区分され、一点鎖線50から上部にサブアレー51Aを、下部にサブアレー51Bを有している。第1のブロック52は、ビット線（例えば、ビット線70、71）に沿って第2のブロック53とは対象に配置されている。10 一対のビット線70、71の上部、下部に、これらのメモリ・サブアレーは、メタルー拡散コンタクト55、56、57、58を共通とし、仮想グラウンド・コンダクタ54A、54B（埋め込まれた拡散層）のように分けられている。仮想グラウンド・コンダクタ54A、54Bは、メタルー拡散コンタクト60A、60Bを経て垂直方向に配置された仮想グラウンド・メタル線59までアレーを越えて水平に延びる。サブアレーは、隣接するサブアレーがメタル仮想グラウンド線59を共有するように、メタル・仮想グラウンド線59の反対側に形成される。20 メタル仮想グラウンド線59は、デコード信号ZNで制御される仮想グラウンド・セレクト・トランジスタ79を介してアレー・グラウンド及び消去高電圧回路に結合される。仮想グラウンド・セレクト・トランジスタ79は、メタル線59を共用しているアレー領域を高電圧消去から分離するのに使用することができる。かくして、サブアレーの配置には、広域ビット線に対し2トランジスタ・セルからなる列当たり2個のメタル・コンタクト・ピッチが、そしてメタル仮想グラウンド線59に対してはサブアレー当たり1個のメタル・コンタクト・ピッチが必要とされる。

【0020】更に、図2に示された2個のサブアレーは、追加デコーディングがそれらの上部及び下部にそれぞれブロック・セレクト信号TBSELA、TBSELB、BBSELA及びBBSELBによって供給されるので、ワード線信号は共有することができる。或る提起されたシステムでは、各サブアレーが8ブロックからなり、32個の一対のトランジスタ・セルと各列のワード線からなっており、512個のセル・サブアレーがあり、合計16本の広域ビット線及び32本のワード線がある。30 明らかなように、本発明による装置は、セクター・フラッシュEPRROMアレーを形成し得る。これは、読み、プログラム又は消去サイクルの間、不選択サブアレー内のトランジスタのソース及びドレインが、ビット線及び仮想グラウンド線に印加された電流及び電圧から絶縁されるので有利である。かくして、読み出し操作時、不選択サブアレーからの漏れ電流がビット線に印加される電流に関与しないので、読み取り操作が改善される。プログラム及び消去の操作の時は、仮想グラウンド線の高電圧、及びビット線が不選択ブロックから分離される。40 これは、セクター消去操作を可能とする。下部のプロッ

ク・セレクト・トランジスタ（例えば、トランジスタ 65A、65B）は、或る実施においては、必要としないことが判断できるであろう。又、これらのブロック・セレクト・トランジスタは、図 6 に関して下部に図示されているように、隣接するサブアレーとともに下部ブロック・セレクト信号を共有することができる。代わりとして、下部ブロック・セレクト・トランジスタ（例えば、65A、65B）は、隣接する仮想グランド・ターミナル 60A、60B を一個のアイソレーション・トランジスタによって置き換えることができる。

【0021】図 3 は、本発明に係るフラッシュ EPROM IC の概要を示すブロック図である。フラッシュ EPROM IC は、図 2 に示したメモリ・アレイ 100 を有し、多数の余分セル 101 が、損傷したメモリ・アレーに置き換えられ得るようにシステムに備えられている。更に、この回路は、多数の参照セル 102、センス・アンプ、プログラム・データ入力回路、並びアレー・グランド及び消去高電圧回路を含むブロック 103、ワード線及びブロック・セレクト・デコードを含むブロック 104、そして列デコード及び仮想グランド・デコードを含むブロック 105 を備えている。参照セル 102 は、製作の間に生じる、或いは、読み取られるビット線に印加される電圧及び電流に反映される等の、チャネル長の変化を計数するためにブロック 103 のセンス・アンプに結合される。参照セル 102 は、プログラミング及び消去電圧の発生にも使用され得る。この冗長セル装置は、上述で検討されたようなフラッシュ EPROM アレーの分割された構成によって可能となった。ワード線及びブロック・セレクト・デコード 104 並び列及び仮想グランド・デコード 105 は、冗長セルは、メモリ・アレー 100 内の不動作セルと置換し得るようテストした後プログラムすることができる。加えて、回路は消去、プログラム及び読み操作、そして種々の動作の間で使用される仮想グランド、ドレイン及びワード線の電圧を制御するためのモード・コントロール回路 106 を有している。

【0022】本発明に係るフラッシュ EPROM セル及び上述の回路で使用されるセルの製作方法が、図 4A 乃至図 4D と図 5A 乃至図 5D、並びに、図 6A 乃至図 6D と図 7A 乃至図 7C による断面図によって示されている。図 8 は、その平面図である。第 1 のセル・タイプの実施例が図 4A 乃至図 4D と図 5A 乃至図 5D に図示されている。この断面図で示したセルの製造工程は、その概略を示すものである。図 4A は、第 1 ステップのプロセスを図示している。N チャネル・セルを作るためには、P⁻型の Si 半導体基板 100 を用意し、よく知られた LOCOS フィールド酸化プロセスによって、垂直な方向に成長する比較的厚いフィールド酸化物領域 101、102 を生成させる。また、薄い酸化膜 103 がフ

面に生成される。図 4B に図示されるように、次のステップでは、フォトレジスト・マスク 104 がフィールド酸化物 101、102 の間に被着され、該マスクは、フィールド酸化物領域 101、102 に本質的に平行線に沿って延在している。これによって、ドレイン拡散領域がフィールド酸化物 101 とフォトレジスト・マスク 104 との間、及びフィールド酸化物 102 とフォトレジスト・マスク 104 との間に定められる。N 型ドーパントが、矢印によって概略的に示されているように、薄い酸化膜 103 を通して半導体基板 100 にイオン注入される。かくして、ドレイン拡散領域が素子分離フィールド酸化物 101 及び 102 によってセルフ・アラインされる。

【0023】次のステップでは、図 4C に示されるように、フォトレジスト・マスク 104 が除去され、局所ビット線 105 及び 106 が形成するために、半導体基板 100 に注入された N 型ドーパントをアニールして、活性化する。また、ドレイン酸化物 107、108 が拡散ビット線 105、106 を覆うように生成される。図 4D は、セル製作の次のステップを図示している。特に、薄い酸化膜 103 がブランク・ウェット・エッチによって除去され、そしてトンネル酸化膜 110 がドレイン拡散ビット線 105、106 の間に生成される。トンネル酸化膜 110 の厚さは、この実施例のシステムでは、ほぼ 100 オングストロームである。しかし、トンネル酸化膜 110 は、フラッシュ EPROM セルでは約 120 オングストローム以下である。より厚い酸化膜は、UV-EPROM セルのような不揮発性セルに用いられ得るが、消去動作のためのトンネル酸化膜には、このような厚い酸化膜使用しない。埋め込まれた拡散層によるビット線 105、106 の上部の酸化膜 107、108 は、このステップでは約 1000 オングストロームの厚さである。

【0024】図 5A に示される次のステップは、ポリ Si 層 111 の第 1 層を被着し、このポリ Si を導電体にするために不純物元素をドーピングする工程である。それから、酸化物/窒化物/酸化物 (ONO) 層 112 が第 1 のポリ Si 層 111 にコントロール・ゲート絶縁膜を設けるために生成される。このステップによるポリ Si 層 111 層は、約 1500 オングストロームの厚さであり、ONO 層は、約 250 オングストロームの厚さである。図 5B は、セルフ・アラインによるソース拡散領域がフォト・マスク・プロセスを用いて定められる。フォト・マスク・プロセスの後に、ポリ Si 層 111 及び ONO 絶縁層 112 は、ソース拡散領域を露出させるためにエッチされる。また、フローティング・ゲート・ポリ Si 層 111 及び ONO 層 112 が、フローティング・ゲートの巾を定めるためにエッチされる。かくして、エッチングされたポリ Si 層 111 の一方はソース拡散領域を画定し、他方はフローティング・ゲートの巾を画定

する。この実施例においては、後者はフィールド酸化物領域 101 又は 102 の上部に位置している。その後、ソース拡散領域は、ドレイン拡散領域 105、106 と平行に延在する N^+/N^- の二重拡散された拡散領域を形成するために N 型ドーパントがイオン注入されている。使用されるドーパントは、二重拡散を形成するために、磷と砒素が合わせたものである。

【0025】図 5C に示されているように、フォトレジストは、除去されて半導体基板はアニールされる。 N^+ と N^- ドーパントを拡散しアニールすることによって、ソース拡散領域 115 を活性化する。また、ソース酸化膜 116 が生成され、且つ、酸化膜 117 が、フローティング・ゲートを後で定められるワード線・ポリ Si 層から分離するための、フローティング・ゲート・ポリ Si 層 111 の側面に沿って生成される。図 5D は、フラッシュ EPROM セルの製造プロセスの次のステップを図示している。これは、第 2 のポリ層 118 を被着することと、ワード線を定めるためにフォト・マスク・プロセスを使用することを含む。フォト・マスク・プロセスにおいては、ワード線を定めるエッチが、それぞれのトランジスタのフローティング・ゲートを定めるため、フローティング・ゲート・ポリ Si 層 111 まで続けられる。ワード線 118 は、約 4,500 オングストロームの厚さである。最後にパッシベーション及びメタリゼーション層（図示されていない）がセルの上部に被着される。

【0026】図 5D に示されるように、第 1 のトランジスタがドレイン拡散ライン 105 とソース拡散ライン 115 との間に、第 2 のトランジスタがドレイン拡散ライン 106 とソース拡散ライン 115 との間にそれぞれ形成されたセル構造が得られる。フローティング・ゲートは、ソース拡散ライン 115 からドレイン拡散ライン 105 を横切り、そしてフィールド酸化物 101 を覆って延びている。本実施例では、これらのフローティング・ゲート酸化膜は、約 2.4 ミクロンの長さで、そして幅は、0.8 ミクロンである。一方、トランジスタの上部におけるドレイン酸化膜 107 の一端からソース酸化膜 116 の一端までの、トンネル酸化膜 110 の幅は、約 1.2 ミクロンである。ドレイン拡散ライン 105 とフィールド酸化物 102 を覆う冗長領域は、カップリング比を約 50% 以上の大きさまでフローティング・ゲートによって増加するために用いられる。何故ならば、ONO 層は、約 250 オングストローム厚さで、そしてトンネル酸化膜は約 100 オングストローム厚さであるので、カップリング比は、フローティング・ゲートの領域を増加させることによって改善させなければならないからである。代りとして、ONO 層をより一層薄く作って、フローティング・ゲートに必要とされる領域を減少してよい。理解されるように、ソース拡散はドレイン拡散とは独立したステップで行われ、それぞれのトランジ

スタのチャンネルに傾斜接合を作ってソース消去機能を助長するために、別の分布をもったドーパントでイオン注入される。チャンネル消去タイプまたは UV 消去タイプのフローティング・ゲートでは、傾斜接合及びソースか拡散は必要とされない。

【0027】次に、図 6A 乃至図 6D と図 7A 乃至図 7C は、本発明による第 2 のセル・タイプの実施例を断面図で示している。図 6A に図示されているように、第 1 ステップは、図 4A に記述したようなフィールド酸化物 201、202 を生成させることである。また、不用な酸化膜が精製され、この酸化膜は、トンネル酸化膜を生成するための半導体基板 200 を用意するために除去される。図 6B に図示されているように、薄いトンネル酸化膜 203 が約 100 オングストローム厚さに生成される。次の図 6C のステップでは、ポリ Si 層を被着するとともにドーパントをドーブし、カップリング比が約 50% 以上になるように、120 オングストローム厚さの ONO 層 205 を生成させる。より厚い酸化薄膜 203 と ONO 層 205 が UV-EPROM セルに使用される。図 6D においては、フォト・マスク・プロセスがフローティング・ゲート及び N^+ 層のソースとドレイン拡散領域を画定するために用いられる。かくして、フォト・マスク層 206 及び 207 は、フローティング・ゲート領域を保護するために定められる。ポリ Si 層の 204 及び ONO の 205 の層が、マスク 206 と 207 によって覆われた部分を除いてエッチされ、ドレイン、ソース及びドレイン領域を露出させる。次に、N 型ドーパントが、矢印 208 で図示されるように露出領域内にイオン注入される。これらの領域は、フローティング・ゲートとフィールド絶縁領域によるセルフ・アラインによって形成する。フラッシュ EPROM アレーについては、次ステップの図 7A に図示されている。このステップによれば、フォト・マスク・プロセスがドレイン領域及び素子分離領域を覆うマスク 210、211 が用いられる。このステップでは、N 型のドーパントが矢印 212 で表されているようにイオン注入され、ソース領域は、傾斜接合を形成するべく N^+ と N^- 型のドーパントを有することになる。尚、図 7A におけるステップは、UV 消去型 EPROM セルの製造方法の説明では、省略することができる。

【0028】図 7B で図示されているように、半導体基板は、ドーパントを活性化するためにアニールされ、そしてドレイン拡散領域 213 と 214 並びにソース拡散領域 215 を画定する。また、ドレイン酸化膜 216、217 及びソース酸化膜 218 は、フローティング・ゲート・ポリ Si の側面に沿って覆う酸化膜が生成される。最後に、図 7C に示されているように、第 2 のポリ Si 層 219 が被着されるとともにトランジスタを定めるためにエッチされる。この実施例においては、ONO サンドイッチ 205 は、トンネル酸化膜の厚さの ± 20

%以内の厚さであるので、カップリング比が高くて（略40%乃至60%の範囲内、なるべくは約50%）、ドレイン及びフィールド素子分離領域上に延在したフローティング・ゲートを使用する必要がない。最後にパッシベーション及びメタリゼーション層（図示されていない）が図7Cの素子に被着される。このようにして、図7Cに見られるように、第2のタイプによるセル構造は、第1トランジスタが、埋め込みドレイン拡散領域213と埋め込みソース拡散領域215との間に、第2トランジスタが、埋め込みドレイン拡散領域214と埋め込みソース拡散領域215との間に形成されている。各トランジスタは、第1のポリSi層204で作られたフローティング・ゲートを有している。フローティング・ゲートは、各トランジスタのチャネル領域からトンネル酸化膜203によって絶縁され、ワード線・ポリSi層219内のコントロール・ゲートからはONO層205によって絶縁されている。ONO層205は、フラッシュEPROM動作のための十分に高いカップリング比を確保するために、トンネル酸化膜203の厚さは約±20%の範囲内の厚さである。

【0029】図6A乃至図6Dと図7A乃至図7Cに図示されたセル・タイプにおけるONO層205の厚さは、十分に薄いので、フローティング・ゲートの表面面積は、図4A乃至図4Dと図5A乃至図5Dに図示された第1のタイプのセル構造においてなされたように延長する必要はない。更に、図7Cで図示された構造においては、第1及び第2ドレイン拡散領域213、214及びソース拡散領域215の総ては、第1のポリSi層204及びONO絶縁層205によって得られたフローティング・ゲート構造でセルフ・アラインされている。これは、各トランジスタのチャネル長が実質的に等しいということを実証するものである。

【0030】図8は、図4、図5に示されたEPROMセルICのサブ・アレーの配置図が示されている。この配置は、図7Cで示されたセルについても、フローティング・ゲートの大きさを除いて実質的に同一であることは明らかである。図8に見られるように、ICは、サブアレーを経て垂直に延在している多数の分離領域300乃至302を有する。これらの分離領域は、図5Dに図示した厚い酸化膜10L102に対応する。これらのフィールド酸化膜300、301は、分離領域を画定され、これらの間に領域303がある。素子分離された領域内には、図5Dの拡散ライン105とユ06に対応する帯状の第1の埋め込み拡散ライン304と第2の埋め込み拡散ライン305がある。帯状の埋め込み拡散ラインの間に、図5Dの拡散ライン115に対応するソース拡散ライン306が存在する。多数のワード線307乃至309は、アレー装置のフローティング・ゲート・トランジスタのコントロール・ゲートを画定する分離領域を横切っている。フローティング・ゲート（例えば、切

欠部の310を見よ）は、トンネル酸化膜とそれぞれのワード線との間に半導体基板を覆っている。

【0031】上部のセレクト・トランジスタは、局所ビット線によって画定された埋め込み拡散ライン304、305の各々に結合されている。例えば、切欠された領域311にあるブロック・セレクト・トランジスタは、延在する埋め込み拡散領域304と結合されているドレイン312と、メタルー拡散コンタクト314によってメタル線（図示されていない）に結合されているソース313を有している。前記メタル線は、サブ・アレーの上部で分離領域300と平行して延在する。同様に、第2の埋め込み拡散ライン305は、上部のセレクト・トランジスタのドレイン315に結合される。このトランジスタは、メタルー拡散コンタクト317に結合され、そして該コンタクトを介して広域ビット線として作用する垂直に延びるメタル線（図示されていない）へ結合されているソース316を有する。上部のブロック・セレクト・トランジスタのゲートは、アレーを横切って水平に延在している上部のセレクト・ワード線318によって設定される。局所ビット線304をメタルー拡散コンタクト314に結合している上部のブロック・セレクト・トランジスタは、局所ビット線305をメタルー拡散コンタクト317に結合しているブロック・セレクト・トランジスタから、フィールド氧化物領域319によって分離されている。このようにして、各列のトランジスタは、読み及びプログラム動作に対して独立に選択することができる。

【0032】局所ソース拡散306は、埋め込み拡散ソース320と埋め込み拡散ドレイン321を有する下部のブロック・セレクト・トランジスタに結合される。埋め込み拡散ドレインは、アレーを横切ってメタルー拡散コンタクト322へ水平に延在している帯状の埋め込み拡散層からなるコンダクタである。該メタルー拡散コンタクトは、順番に、仮想グランド・ボルテージをアレーに供給するメタル線323に結合される。下部のブロック・セレクト・トランジスタは、ポリSi層のセレクト線324によって制御される。理解されるように、ポリSi層のセレクト線324は、図に描かれたサブアレーと、図の下にあるサブアレー325と共有されている。サブアレー325は、サブアレーを仮想グランド・バスに接続する埋め込み拡散ドレイン321を共有するブロック・セレクト・ソース領域326を有している。かくして、ポリSi層の底部ブロック・セレクト信号は、第1のサブアレーのソース領域320から延長している巾の広い構造324を横切って、第2のサブアレー325内のソース領域326へ供給される一のような方法で、底部ブロック・セレクト信号は局所仮想グランド拡散306がドレイン拡散領域321の両側のサブアレーに対して作用し得るように働く。

【0033】当然、底部ブロック・セレクト信号が、別

々のブロック・セレクト信号をワード線 324 に必要とする各々サブアレーに対して、個々に制御されるという外の具体化が実施され得る。前記実施例では、また、下部のブロック・セレクト・トランジスタが、上部のブロック・セレクト・トランジスタに類似した方法で、各々の埋め込み拡散ラインに対して 1 個としてあるように具体化され得る。もう一つ別の具体化では、下部のブロック・セレクト・トランジスタが、多数の局所仮想グランド・ビット線を制御するメタル・拡散コンタクト 322 の近くの 1 個の孤立したトランジスタをもつコンダクタで置き換えられ得る。素子分離領域例えば、素子分離領域 301 は周期的に、下部のブロック・セレクト・ソース領域 320 及びドレイン領域 321 を経て延長し、そして隣接するサブアレーの下部のブロック・セレクト・トランジスタを分離する。理解され得るように、仮想グランド・メタル・バス 323 は図の向こう側に垂直に延びる。該バス 323 は、メタル・拡散コンタクト 322 で下部のブロック・セレクト・トランジスタに結合される。

【0034】素子分離領域 301 は、サブアレーをフィールド酸化層 301 の両方の側に、下部のブロック・セレクト・トランジスタを分離することによって分ける。図 6 に示されるように、かくしてサブアレーは、一般に領域 354 内の下部のブロック・セレクト・トランジスタを共有している 4 個（例として）の列のトランジスタ 350、351、352、353 を有する。好ましいシステムは、サブアレーにつき 16 列のトランジスタ（2 個トランジスタ・セルをもった 8 ブロック）を有し得る。拡散領域 304、305 によって形成されたトランジスタは、かくして、列 350 及び 351 内のトランジスタから別れたサブアレーに存在することとなる。仮想グランド・メタル線 323 の右側にあるトランジスタは、又分離したサブアレーに存在することになる。分け合われた下部のブロック・セレクト・トランジスタは、ライン 324 に印加されるブロック信号によって制御されるので、4 個のサブアレー（メタル 324 の両側に 2 個）は、ライン 324 の信号に応ずる仮想グランド・バス 323 に結合された、それらのソース拡散領域、例えば、359 を有する。このことは、一度に 4 個のサブアレーに対するセクター消去に帰着する。

【0035】本発明では、フラッシュ EPROM アレーの N チャンネルについて説明したが、P チャンネルについても、容易に実現され得ることは、明らかである。又、本発明で開示した実施例及びその説明は、本発明を説明する為のものであって、本発明の主旨を全て開示したものではない。従って、本発明を開示した実施例に限定するものではなく、斯かる実施例は、本発明の原理及びその実用的な応用をもっとも良く説明するために選択したものであって、数多くのモディフィケーション及びバリエーションは、技術に熟達した経験者によってなし得るこ

とは明らかである。

【0036】

【発明の効果】上述の如く、本発明の不揮発性メモリ・セル、アレー装置は、新規なフローティング・ゲート・トランジスタからなるフラッシュ EPROM セルとそのアレー装置及びそのメモリ回路が提供できるものであり、その主な特徴は、以下の通りである。

1. 2 本の隣接する局所ドレイン・ビット線が、1 本のソース・ビット線を共用し、1 本のメタル・ソース・ビット線がセルの総てのサブ・アレーと平行に形成されたもので、コンタクトレス構造によって非常に緻密な不揮発性メモリのコア・アレーが得られる効果を奏するものである。

2. セクター消去は、本発明によるフローティング・ゲート・トランジスタによって構成された区分け可能なアレー装置を用いることで、実現できる利点がある。

3. 本発明の新規なフローティング・ゲート・トランジスタを用いた不揮発性メモリ・セルによって高度な動作と高い信頼性をもったフラッシュ・メモリ・アレー、及びメモリ回路が得られる利点がある。

【0037】更に、本発明の不揮発性メモリ・セル、アレー装置は、フラッシュ EPROM セルを提供できるとともに、この装置は、種々のメモリ回路のアレーに適応させることができる。かくして、メモリ・アレー内の蓄積セルは、ROM、PROM・EPROM・UV 消去 EPROM、又は他の EPROM を適用し得ることは明らかである。更に、本願で開示されたフラッシュ EPROM は、ソース消去動作の目的のためにものであり、もし望むならば、チャネル消去動作に適応できることは言うまでもない。

【図面の簡単な説明】

【図 1】本発明に係る不揮発性メモリ・セルを説明する為の回路図である。

【図 2】本発明に係る不揮発性メモリ・セルによるアレー装置の概要を示すもので、2 個のサブアレーで図示された回路図である。

【図 3】本発明に係る不揮発性メモリ・セルによる半導体集積回路の一実施例を示すブロック図である。

【図 4】(A) 乃至 (D) は、不揮発性メモリ・セルの一実施例の製造方法を図示するもので、本発明に係る不揮発性メモリ・セルによるアレー装置のワード線に沿った断面図である。

【図 5】(A) 乃至 (D) は、図 4 の (A) 乃至 (D) に続く、不揮発性メモリ・セルの製造方法を図示する断面図である。

【図 6】(A) 乃至 (D) は、不揮発性メモリ・セルの他の実施例の製造方法を図示するもので、本発明に係る不揮発性メモリ・セルによるアレー装置のワード線に沿った断面図である。

【図 7】(A) 乃至 (C) は、図 6 の (A) 乃至 (D)

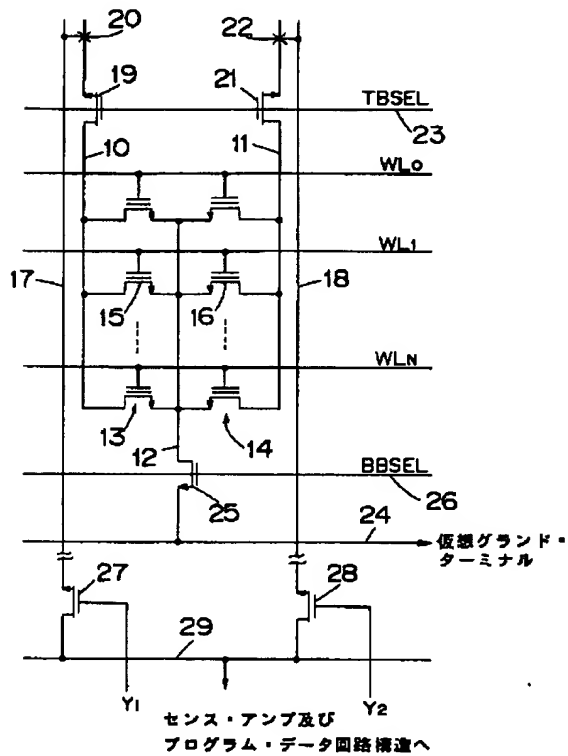
に続く、不揮発性メモリ・セルの製造方法を図示する断面図である。

【図8】図4（A）乃至（D）、図5（A）乃至（D）の製造方法によって得られる不揮発性メモリ・セルによるアレー装置の平面図である。

【符号の説明】

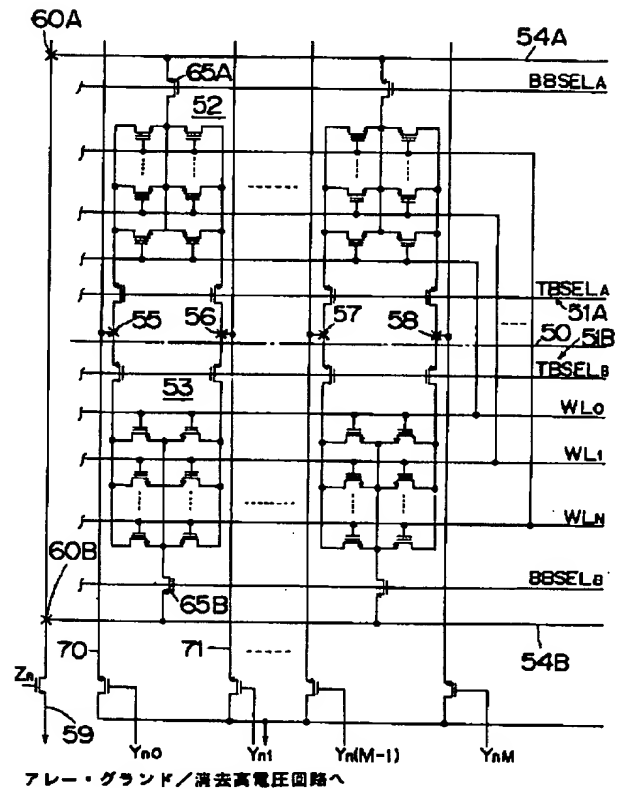
- 10 第1の局所ビット線
- 11 第2の局所ビット線
- 12 局所仮想グランド線
- 13、15 第1列のトランジスタ

【図1】

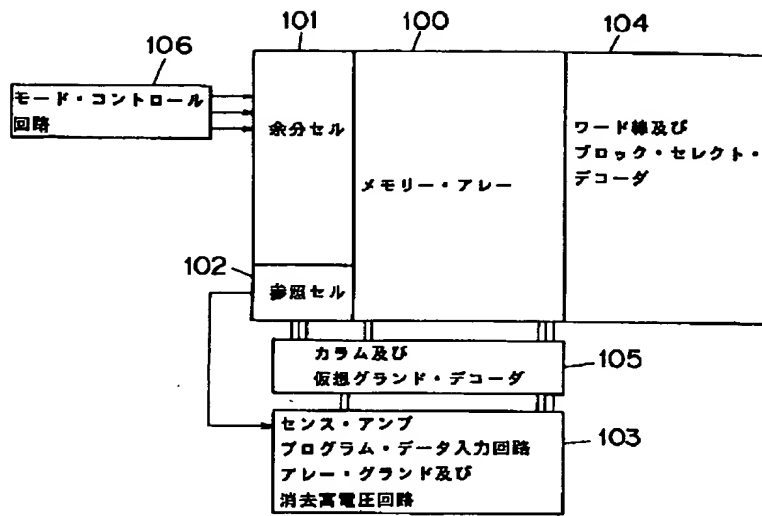


- 14、16 第2列のトランジスタ
- 17 第1の広域ビット線
- 18 第2の広域ビット線
- 19、21 上部ブロック・セレクト・トランジスタ
- 20、22 メタル拡散コンタクト
- 23、26 ライン
- 24、29 コンダクタ
- 25 下部ブロック・セレクト・トランジスタ
- 27、28 列セレクト・トランジスタ
- 10 WL₀~WL_N ワード線

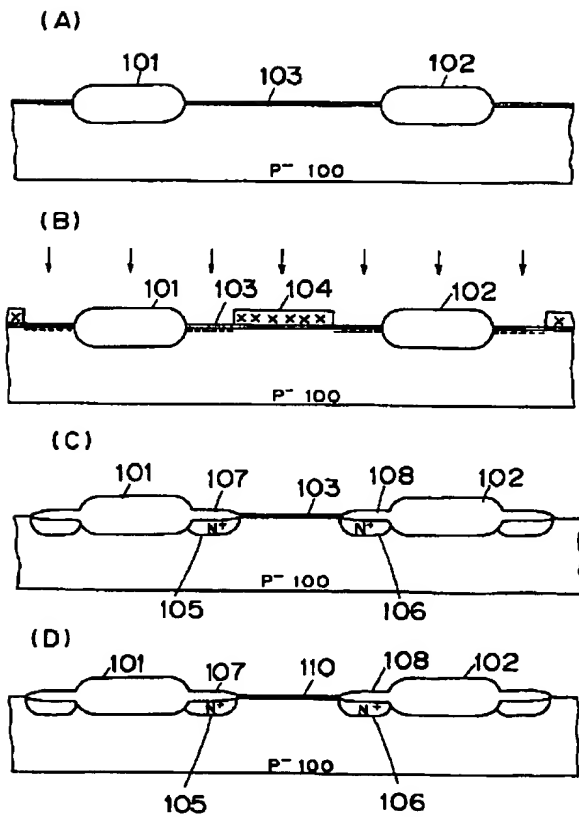
【図2】



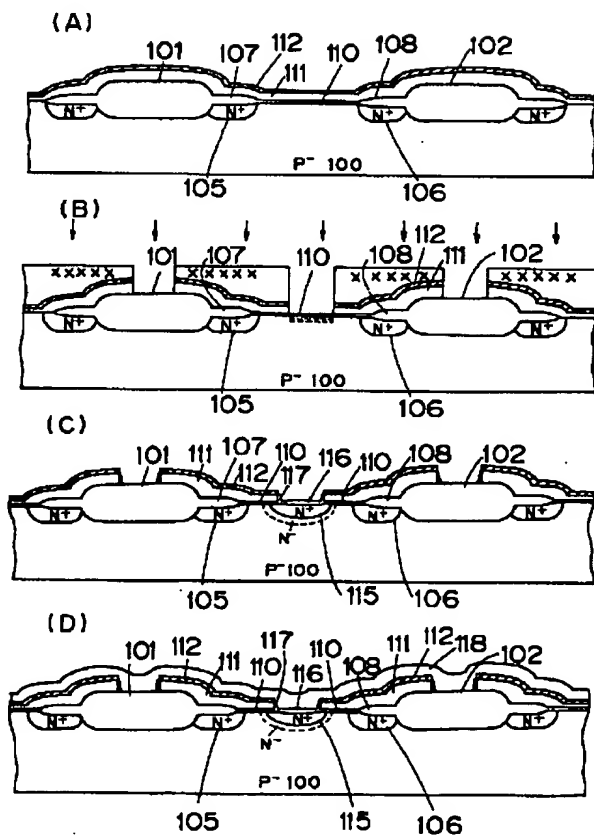
【図3】



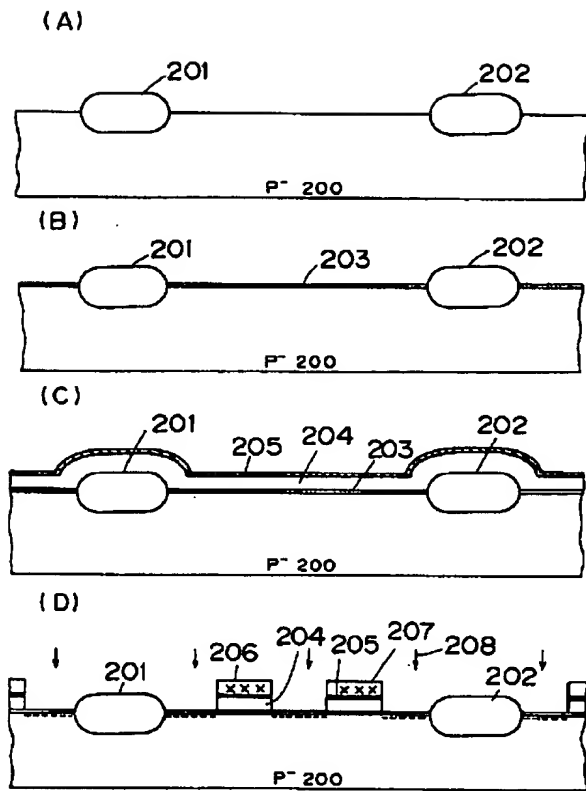
【図4】



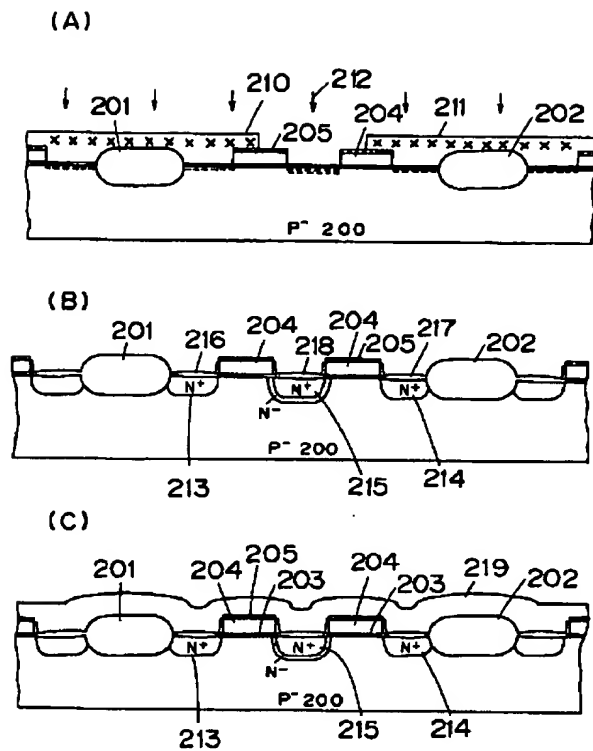
【図5】



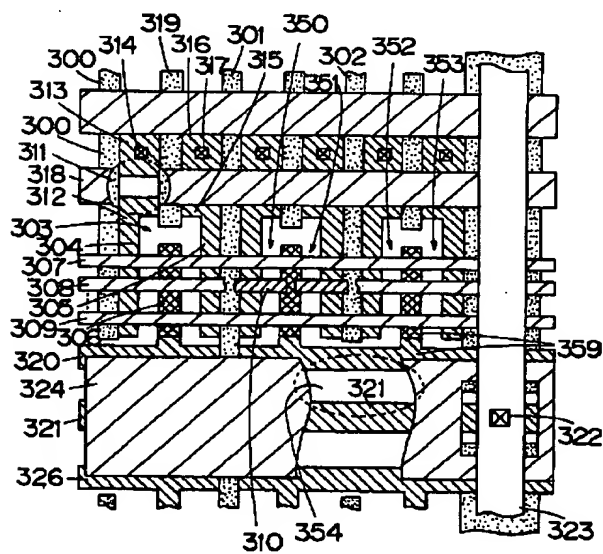
【図 6】



【図 7】



【図 8】



フロントページの続き

(72)発明者 林 天楽

アメリカ合衆国 カリフォルニア 95104、
サンタ クララ、カパーチノ、マデラ ド
ライブ 10501

(72)発明者 陳 領

アメリカ合衆国 カリフォルニア 94087、
サンタ クララ、サニイヴェール、マーチ
ン アヴェニュー 1640

Fターム(参考) 5F083 EP13 EP23 EP55 EP62 EP67

EP75 ER02 ER14 ER16 ER19

ER22 ER23 GA09 KA08 KA13

LA12 LA16 LA20 NA02 PR29

ZA10

5F101 BA05 BA23 BA29 BA36 BB05

BC11 BD05 BD09 BD31 BD32

BD37 BE05 BE07 BH19